

MULTIPROTOCOL COMMUNICATION CONTROL EQUIPMENT

Publication number: JP8195785 (A)

Publication date: 1996-07-30

Inventor(s): PERUBUENBA SUWAMINASU BARASUBU; NEIZAN
JIYUNSATSUPU RII; SUKOTSUTO DAGURASU REKUSHIYU

Applicant(s): IBM

Classification:

- international: H04B10/10; H04B10/105; H04B10/22; H04L27/00; H04L29/06;
H04B10/10; H04B10/105; H04B10/22; H04L27/00; H04L29/06;
(IPC1-7): H04L29/06; H04B10/10; H04B10/105; H04B10/22;
H04L27/00

- European: H04B10/10N2; H04L27/00F

Application number: JP19950264458 19951012

Priority number(s): US19940323282 19941014

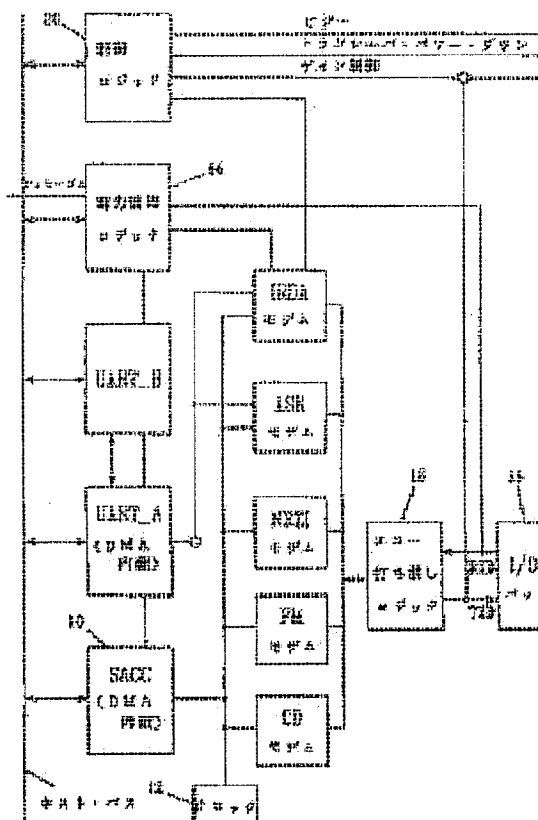
Also published as:

JP3247589 (B2)
WO9612358 (A1)
US5557634 (A)
RU2126593 (C1)
PL319162 (A1)

more >>

Abstract of JP 8195785 (A)

PROBLEM TO BE SOLVED: To support various communication protocols by combining many digital modems consisting of IR modem arrays connected in parallel with a synchronous/asynchronous communication controller, a UART and an exclusive support logic. **SOLUTION:** The multi-protocol communication controller is substantially a combination of a communication controller 10, a primary general-purpose synchronous transmitter-receiver UART-A, a secondary general-purpose synchronous transmitter-receiver UART-B, an exclusive support logic, and logs of digital modems. The standard UART-A is completely compatible with an IRDA standard specification.; In the case of executing an application program that is programmed such that a host including a controller is in accordance with a correct infrared ray communication protocol, the UART-A is directly connected between a host bus and an asynchronous modem in the IR modem array, for example, between an IRDA modem and an ASK modem. However, the application program is described without specifying any proper communication protocol, the 2nd UART-B is addedly connected to the 1st UART-A.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-195785

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 29/06

H 0 4 B 10/105

10/10

H 0 4 L 13/ 00

3 0 5 Z

H 0 4 B 9/ 00

R

審査請求 未請求 請求項の数11 OL (全 11 頁) 最終頁に続く

(21)出願番号 特願平7-264458

(22)出願日 平成7年(1995)10月12日

(31)優先権主張番号 3 2 3 2 8 2

(32)優先日 1994年10月14日

(33)優先権主張国 米国 (US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74)代理人 弁理士 合田 潔 (外2名)

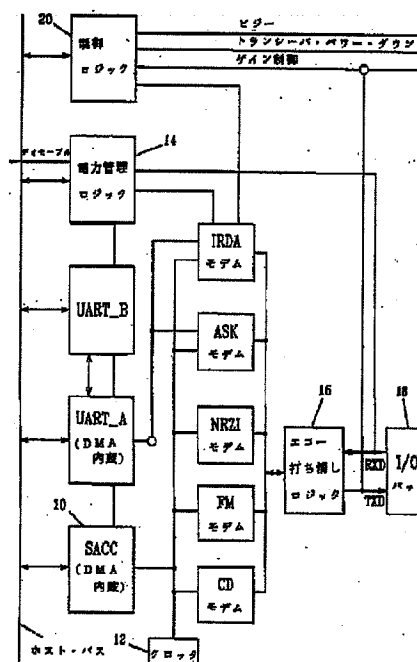
最終頁に続く

(54)【発明の名称】 マルチプロトコル通信制御装置

(57)【要約】

【課題】 複数の通信プロトコルをサポートする通信制御装置を提供する。

【解決の手段】 プロトコル間で相互運用機能をサポートし、かつIRDA基準と共に、シャープ500KHz ASK、NRZI、及びパイフェーズ変調IRシステムをサポート間で最大2.34Mbpsのボー・レートで通信可能な方向性の赤外線 (IR) 通信制御装置である。更に、どの型式の赤外線信号を受信しているかの自動的に判断する変復調方法である。



1

【特許請求の範囲】

【請求項1】内部転送信号用のバスを備えた通信トランシーバに用いる制御装置であって、それぞれの符号化フォーマットで同期信号及び非同期信号を選択的に変復調する複数のモデム手段と、前記バスと前記非同期信号を変復調する少なくとも一つのモデム手段との間に接続されて、それらの間で非同期信号を転送する第1の汎用非同期送受信器（UART）と、前記バスと前記複数のモデム手段との間に接続されて、前記バスと前記非同期信号を変復調するモデム手段との間で非同期信号を転送し、かつ前記バスと前記同期信号を変復調するモデム手段との間で同期信号を転送する同期／非同期通信コントローラ（SACC）手段と、を含むマルチプロトコル通信制御装置。

【請求項2】前記複数のモデム手段は、IRDAモデム及びNRZIモデムを含む請求項1記載の制御装置。

【請求項3】前記複数のモデム手段はIRDAモデム及びFMモデムを含む請求項1記載の制御装置。

【請求項4】前記複数のモデム手段は、ASKモデムを含む請求項1記載の制御装置。

【請求項5】前記UART、前記SACC及び前記複数のモデム手段に供給される電力を選択的に管理する手段を含む請求項1記載の制御装置。

【請求項6】前記複数のモデム手段に接続され、変調された信号を送受信する入出力手段を含む請求項1記載の制御装置。

【請求項7】前記入出力手段により送受信される変調された信号のゲインを制御する制御手段を含む請求項6記載の制御装置。

【請求項8】前記変調された信号が送信された後所定の時間にわたって受信を遮断するエコリチ消し手段を含む請求項6記載の制御装置。

【請求項9】信号の完全性を調べるチェック手段と、前記UARTと前記バスとの間に接続されて、前記チェック手段への入力信号を捕捉して送信する第2のUARTとを含む請求項1記載の制御装置。

【請求項10】前記SACCに接続されて、複数の同期データ速度を与えるクロック手段を含む請求項1記載の制御装置。

【請求項11】前記複数のモデム手段は、IRDAモデム、NRZIモデム、FMモデム、ASKモデム、及びコンシューマ・デバイス（CD）モデムを含み、前記IRDAモデム、前記ASKモデム、及びCDモデムと、前記NRZIモデム及び前記FMモデムのいずれか一方とが同時にエネーブル可能である、請求項1記載の制御装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、デジタル通信の制御装置に関し、特に赤外線（IR）信号システムに用いられる複数の変調プロトコルを取り扱うIR通信の制御装置に関する。

【0002】

【発明が解決しようとする課題】最も広く利用されている赤外線（IR）信号装置は、家電用のリモート・コントローラであった。しかし、現在、IR信号はコンピュータ通信のような他の多くの応用に採用されている。赤外線データ・アクセス（IRDA）基準委員会は、種々のメーカーの製品間での相互運用を強化するために設立された。IRDAの勧告規格は、SDL C型式の通信プロトコルで低価格の赤外線通信を達成するために汎用非同期送受信器（UART）を使用する。この規格はUARTにより実施されるので、非同期設計のためにこの規格に関連した種々の問題が存在する。このうちの2つの問題が、バス・スループットのボトルネック、及び非同期通信方式に関連するオーバーヘッドである。UARTは、典型的には、割込みによりデータ転送を開始するように、既存システムに統合されていた。これらの割込みに対するシステムの応答遅延は、データ・スループットを制限するボトルネックを生じる。更に、標準的なUARTが115,200bpsまでのボー・レートで動作するものであるとしても、実効スループットは非同期転送に関連したオーバーヘッドのために実際にはかなり低い。従って、最大データ速度は多量のデータを転送する応用にとって適当ではない。更に、標準的な実施ではヒューレット・パッカ形式の変調をサポートするに過ぎず、その標準に従った装置のみに対する応用に限定されている。

【0003】通常、アプリケーション・プログラムはUARTを直接アクセスし、データを代行受信する余地を残していないので、単一のUARTを用いると、IRシステムに別の問題を発生させる。多くの既存のIR通信プログラムでは、UARTが典型的な有線環境ではなく、赤外線に用いられているということから、調整のために何らかの介入を必要としている。

【0004】この分野における更なる問題は、既存のマルチプロトコル通信コントローラが同時には1型式のみの変調方式を動作させ得るに過ぎないということである。従って、コントローラは、着信信号を待っているときは、1型式のみの信号を受け入れるように設定される。これは、異なる型式の信号を受信するときは、着信する変調方式を検出してその制御装置が適当な復調器に切り換えられるまで、初期フレームを喪失する結果となる。これは通信プロトコルがこのような問題を処理するように設定されている限り深刻にはならないとはいえ、UARTがIR通信に用いられている事実を計算に入れていない応用の場合は、最初のバイトを見逃すと重大な問題となり得る。

【0005】本発明は、前述の問題を解決することに向けられると共に、これらの問題の解決を達成するように設計されたアーキテクチャを有するIR制御装置で実施可能な自動変調検出及び取り扱い方式を提供する。

【0006】従って、本発明の目的は、種々の通信プロトコルをサポートする通信制御装置を提供することにある。

【0007】本発明の他の目的は、どの型式の信号を受信しているのかを自動的に判断して、適当とするIR信号を発生するIR制御装置を提供することにある。

【0008】本発明の更なる目的は、高いボーレートで通信し、かつIRDA規格もサポートすることができるIR通信装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、通信制御装置用の新しいアーキテクチャ、好ましくは、赤外線(IR)信号を用いる無線通信の制御装置を実現するものであり、高いボーレートを取り扱い、かつIRDA規格をサポートする際の従来技術の問題を解決する。この制御装置及び変復調方法は、本質的に、並列に接続されたIRモデム・アレイからなるものでもよい多数のデジタル・モデムと共に、同期/非同期通信制御装置、1又は2つのUART、及び専用のサポート・ロジックを組合わせる。この組合わせは、IR特有のサポート及び高いデータ速度に関して改善されると共に、既存の多くのIR通信システム及びプロトコルと逆方向の互換性がある技術を提供する。

【0010】

【発明の実施の形態】本発明による制御装置のアーキテクチャのブロック図は図1に示されており、この制御装置をIRトランシーバに組み込むことができる。この制御装置のシステムは、本質的に、通信制御装置10と、一次汎用非同期送受信器UART_Aと、二次汎用非同期送受信器UART_Bと、専用のサポート・ロジックと、多数のデジタル・モデムとを組合わせたものであり、これらのデジタル・モデムは並列に接続されたIRモデム・アレイからなるものでよい。この制御装置のシステム及びその動作をその種々の機能の項において説明する。

【0011】逆方向互換性：標準的なUART_AはIRDA標準仕様と完全な互換性を提供するように制御装置のアーキテクチャに組み込まれる。制御装置を含むホストが、正しい赤外線通信プロトコルに従うように書かれているアプリケーション・プログラムを実行する場合は、ホスト・バスとIRモデム・アレイ中の非同期モデム、例えばIRDAモデム及び振幅シフト・キーイング(ASK)モデムとの間にUART_Aを直接接続することができる。しかし、何ら適正な通信プロトコルに備えることなく、アプリケーション・プログラムが書かれている場合は、第1のUART_Aに第2のUART

_Bを付加して接続することができる。このような場合に、この機能がエネーブルされるときは、UART_Aを介して送出される送信信号を第2のUART_Bにより捕捉し、かつホスト・バスを介してそのホストの中央プロセッサへフィードバックすることが、実際に信号を送出する前に可能である。これら捕捉された信号は、送出信号を制御装置10、IRモデム及び赤外線出力18に渡す前に、データの完全性を調べる適当な通信プロトコルにより処理することができる。着信即ち受信データはIRモデム及び制御装置10を介して転送され、第1のUART_Aに達する前に、ホストプロセッサによりフィルタ処理されて、UART_Bを介して転送されてもよい。従って、UART_AはIRモデム・アレイに直接か、又はUART_Bに接続することができる。このために、このシステムは既存のIRを意識したアプリケーションを完全にサポートし、また有線UART用に書かれた通信に対してある程度のIRトランスペアレnciaを提供することができる。

【0012】システム・スループット：有効データ速度を増加するために、同期通信ブロックが制御装置10に組み込まれている。ここでは、このブロックを同期/非同期通信制御装置SACC、と呼び、UART_Aと同様、以下で更に詳細に説明するように直接メモリ・アクセス(DMA)を備えている。このSACCは、以下で更に詳細に説明するように、米国マサチューセッツ州パリーントンのVLSIテクノロジー社から入手可能なZ85C30FSBの修正バージョンであってもよく、同期モード又は非同期モードで動作するように設計され、従ってIRモデム・アレイ中の同期IRモデム及び非同期IRモデムの両方に接続されている唯一の構成部品である。

【0013】SACCは、主として高速度データ転送用の同期モードにおいてデータを送受信するように機能する。同期データ転送を使用したときは、非同期通信において必要とされるスタート・ビット及びストップ・ビットのオーバーヘッドが除去されて、システム・スループットが改善される。SACCには、システム・クロック発生源12をSACCに切り換えて2.34Mbps、1.152Mbps、576Kbps、288Kbps及び144Kbpsの同期データ速度をエネーブルするためのサポート・ロジックが設けられている。更に、SACCは、通常システム・プロセッサを必要とするような多くのタスクを処理するように構成されて、システム・パフォーマンスを改善することができる。例えば、SACCにはアドレスの認識、CRC計算、及びハードウェアにおけるフレーム状況の保持を実行する機能が含まれてもよい。

【0014】前述のように、高速データ転送における最大の問題のうちの一つはバス・スループットのボトルネックである。この問題を解決するために、ローカル・フ

5

レーン・バッファを含め、いくつかの方法があるが、本アーキテクチャでは、UART_A及びSACCホスト・インタフェースの送受信のために、16×8ビットのFIFOによる直接メモリ・アクセス(DMA)が用いられる。UART_BもFIFOを備えているが、DMAは使用しない。ホスト・バス上のDMAチャンネル数は通常制限されているので、2つのチャンネルをUART_A及びSACCの両方で共用するようにしてもよい。各DMAチャンネルは、これら2つのチャンネルのいずれかも使用するようプログラムすることができ、またディセーブルすることもできる。ホストの注意を引くために、2つの割込み信号を発生させる。これら2つの割込みのうち的一方はUART_Aのみにより発生され、他方はSACC、UART_B、及び電力管理ロジック14により共用される(図1を参照)。

【0015】複数変調方式：本発明は複数変調方式をサポートすることを意図しており、従って複数のデジタル・モデムのアレイが含まれる。これらのデジタル・モデムは、好ましくは、IRモデムであり、図1の例では5個のモデムのアレイを構成している。このアレイは、好ましくは、IRDAと互換性のあるモデム(IRDAモデム)、シャープ500KHz振幅シフト・キーイング(ASK)互換モデム(ASKモデム)、ビット・セル期間により幅の狭いフラッシュ・パルスを利用するNRZ Iモデム、同様なフラッシュ・パルスを利用するFMモデム、及びコンシューマ・デバイス・モデム(CDモデム)を含む。このシステムに用いるASKモデム、NRZ Iモデム及びFMモデムの好ましい例が1994年10月14日付けの米国特許出願第323331号、同第323324号及び同第323332号にそれぞれ開示されている。NRZ Iモデム、FMモデム及びCDモデムは、UART_Aにより使用されないの、UART_AはIRDAモデム及びASKモデムにのみ接続され、一方SACCについては5つのモデムの全てに接続することができる。UART_Bはどのモデムにも接続されない。

【0016】IRDAモデムの変調方式はIRDA規格と同一である。基本的な理解を得るために、ここでは簡単な説明として、信号は概念的に複数のビット・セルに分割され、送信データが0であれば、送信器側において3/16ビット・セル幅又は1.63μs長の固定幅のパルスが形成される(図2における信号波形を参照)。受信側において、受信されたパルスは全ビット・セル幅に拡張され、そのビット・セル期間についてロー信号を発生してNRZ(非ゼロ復帰)信号出力を発生する。着信する送信信号もNRZフォーマットのものである。

【0017】ASKモデムの変調方式はシャープの500KHz副搬送波ASK変調による。送信側において、送信データが0であれば、500KHz副搬送波の矩形波パルスを送信する(図2を参照)。受信側では、AS

6

K変調信号をNRZフォーマットに復調するためにデジタル帯域通過フィルタを設ける。500KHz副搬送波検出ロジックが、帯域通過フィルタのロジックの一部として、他の信号からASK変調信号を区別するために用いられる。

【0018】NRZ Iモデムの変調方式は、簡単に説明すると、以下のように動作する。送信の場合は、デジタル・データが、まず、NRZ I(非ゼロ復帰反転)フォーマットに符号化される。NRZ Iフォーマットでは、送信するデータが0であれば、遷移が生じる。これに加えて、符号化する前に、連続する5つの1ビットが検出されたときは、0ビットをデータ列に挿入する。次いで、符号化された信号中に遷移を検出すると、好ましくは約1/4ビット・セル幅IRの赤外線フラッシュ・パルスを送信する(図2を参照)。受信側では、着信信号に遷移を検出すると、出力信号をトグルしてNRZ Iフォーマットの信号を発生させる。NRZ Iフォーマットの信号はSACCに供給され、SACCはこの信号をNRZフォーマット・データにデコードする。

【0019】FMモデムの変調方式は、以下のようである。送信の場合は、データがまず2相マーク(FM1)又は2相スペース(FM0)フォーマットとして符号化される。これらのデータ・フォーマットはデータ中の異なる遷移に従っている。次いで、各フォーマットにおいて符号化されたビット・セルは、考慮のために1/2ビット・セルに分割される。両フォーマットにおいて、1/2ビット・セルにハイ・レベル信号が存在すると、好ましくは約1/4ビット・セル幅の赤外線フラッシュ・パルスを送信する(図2におけるFM1/フラッシュ及びFM0/フラッシュ)。受信側では、パルスを検出すると、パルスは1/2ビット・セル幅に拡張される。受信器の飽和が発生するようないくつかの場合では、受信したパルスは受信回路により長くされてもよい。従って、単一パルスと2つの連続パルスの組合せとの間で混乱が生じるのを避けるために、最初の着信パルスの前縁から第2のサンプリング時間を決定する。このFMフォーマットの受信信号はSACCによりNRZフォーマットにデコードされる。

【0020】CDモデムの機能は単に前の全てのモデムをバイパスして、SACCのボーレート発生器を用いて送信パルス用の搬送周波数を発生させることにより達成される。モデムのソフトウェアはパルスの長さを判断するためにシステム・タイマを使用する。受信側では、CD復調器を実現するいくつかの方法がある。例えば、非変調信号をSACCのデータ搬送波検出(-DCD)ピンに供給して、ソフトウェアを用いて搬送周波数を測定し、次いでパルスの長さを測定することができる。コンシューマ・デバイスの赤外線信号をサポートする他の種々の方法は、当業者には自明であろう。

【0021】複数変調検出サポート：本発明の制御装置

は複数変調方式をサポートすることができるので、特定の通信に対してIRモデム・アレイのどのモデムを使用すべきかを決定できるようになっている。そのためのIR変調検出戦略は、複数の非同期モデム及び1つの同期モデムが同時に動作するように制御装置を構成できるという事実に基づき構築する。即ち、制御装置が受信可能な状態にあるとき、NRZIモデム及びFMモデムのうちのいずれか一つと共に、IRDAモデム、MASKモデム、及びCDモデムの全てを同時にエネーブルできる。既存のIR通信プログラムは通常、喪失したデータを回復するための何らかの通信プロトコルを有しているが、IRDA型式の変調信号を用いる古いアプリケーションは、このようなプロトコルを実行しなかった。従って、IRDA変調検出は如何なるデータも損失することなく行われなければならない。IRDA型式の信号は、最初のデータ・キャラクタが失われると回復できないことがあるので、UART_Aは、IRDAモデムに接続して、IRDAデータを受信できるようにしておく必要がある。これに対して、ASK型式の信号は、回復のためのプロトコルがあるので、最初のキャラクタの喪失は許容することができる。ASK変調方式はキャラクタの喪失を回復するので、着信信号を待っている間、ASKモデムの自動搬送波検出ロジックをエネーブルしておけばよい。ASK搬送波の最初のビットを検出した後で、IR制御装置はASKモデムに切り換えることができる。高速同期通信は常に通信プロトコルを走らせているので、NRZI変調及びFM変調のいずれを用いるかは予測可能であり、従って待機している間にいずれかのモデムを選択することができる。最後に、CDモデムは常にSACCの-DCCDラインに接続されている。

【0022】未知の信号が本制御装置の受信ラインRXDに到来すると、着信信号は、ASK搬送波検出ロジックと並列にIRDAモデム、選択された同期モデム(NRZI又はFMモデム)、及びCDモデムを通る。着信信号がIRDA型式のときは、(1) UART_Aはフレーム誤りなしに正しいデータを受信し、(2) ASK搬送波検出ロジックはASK搬送波を検出せず、そして(3) SACCは有効なフレーム開始キャラクタを受け取らないか、又は打ち切られたフレームを受信する。SACCの-DCCDラインはあるレベルの遷移を検出し、またこれによって、パルスがコンシューマ・デバイス信号であるとするのに十分な幅であるときは、プログラムはパルス幅及び搬送波周波数を測定できる。プログラムは、これらの生起事象の全てから、着信信号はIRDA型式であると、結論付けることができる。

【0023】着信信号が500KHz ASK変調信号のときは、(1) IRDAモデムは信号を正しく復調せず、UART_Aでフレーム誤りを起こし、(2) ASK搬送波検出ロジックは搬送波を検出し、そして(3) SACCは恐らく打ち切られた信号を受信すると思われ

る。SACCの-DCCD入力には遷移を検出し、またこれによって、パルスがコンシューマ・デバイス信号であるとするのに十分な幅であるときは、プログラムはパルス幅及び搬送波周波数を測定可能である。以上の考察から、プログラムは、着信信号はASK信号であると結論づけ、IRDA信号の代わりにASK信号を受信するように制御装置を設定することができる。

【0024】着信信号が高速同期信号のときは(図4を参照)、SACCは、正しいCRCと共に、正しいフラグ及び打ち切られていないデータ・フレームを検出する。もしそうであれば、受信信号は、明らかに、高速同期信号(NRZI又はFM)であるとみなすことができる。

【0025】着信信号が以上のいずれでもないときは、SACCの-DCCDライン上の着信信号における遷移の長さを測定すれば、コンシューマ信号は比較的遅く、IRDA信号とは異なって固定搬送波周波数を有するので、着信信号がコンシューマ・バス信号であるか否かを判断することができる。

【0026】エコー打ち消し：この装置は、特に送信媒体として赤外線を用いる際に発生するいくつかの問題について補償するようにいくつかの特徴を備えている。例えば、IRトランシーバによりIR光信号を送信するとき、トランシーバ・ユニットに結合された受信器が赤外線信号又は電気的に結合された信号を検出することがある。この型式のエコーはしばしば衝突検出又は送信検定に有効であるが、大抵の場合に、このエコーは通信プロトコルに有益であるというよりも厄介なものである。従って、制御装置のアーキテクチャは送信した自分の信号のエコーを打ち消すオプションも備えている。全てのIRモデムの出力は組合わされて、エコー打ち消しロジック16に送出される(図1を参照)。エコー打ち消しロジック16は送信データ・ラインTXD上のパルス出力と、受信データ・ラインRXD上の入力とを有する。これらのラインは、IR光パルスを送受信するIRトランシーバとインタフェースする入出力パッド18に接続される。エコー打ち消しがエネーブルされると、受信データ・ラインRXDは、送信パルスの前縁から約25ns後に遮断され、送信データ・ラインTXD上の送信パルスの後縁から750nsの間、遮断されたままとなる。エコー打ち消しがディセーブルされると、トランシーバは他の受信器又は送信器からの信号を受信することができる。送信データ・ラインTXD上のエコー打ち消しロジック16の出力は、入出力パッド18へ転送されると共に、ループ・バックがエネーブルされていると受信データ・ラインRXDにフィードバックされるので、自分が送信した信号を受信することができる。このループ・バック特性はシステム診断に有用である。

【0027】電力対策：他の型式の無線通信に比して赤外線無線通信の重要な利点のうちの一つは、非常に低い

9

電力で動作し得ることであり、従ってポータブル・コンピュータ通信のような低電力応用に適している。しかし、データ速度及び動作距離が増加するに従って、このように赤外線通信における電力消費は極めて重大となる。従って、非常に徹底した電力管理のためのロジック14が、種々の構成要素を選択的に活動化及び非活動化するように本発明のアーキテクチャに組み込まれている。特に、UART_A、UART_B及びSACCについては、ソフトウェア制御により個別的に遮断することができる。ただし、UART_AのないUART_Bは有用な構成ではないので、UART_Bを使用するためにはUART_Aをオンにする必要がある。IRモデム・アレイのうちの現在選択されているモデムのみがエネーブルされる必要があり、残りのモデムはディセーブルされてもよい。これら個別的な制御に加えて、全てのレジスタの内容を保持しながら、IR通信制御装置全体を低電力状態に置く大域ディセーブル信号も使用可能である。この制御装置は、通信の最中に好ましくないディセーブルを阻止するために、大域ディセーブル信号と共に使用することができ且つIR通信の活動状態を表すプログラマブル・フラグを提供することができる。この制御装置が低電力状態にあっても、割込みが可能であれば、着信赤外線信号が割込みを発生できるので、ホストは制御装置を活動状態に復帰させることができる。複数の方向をカバーするように2つの赤外線窓を必要とする場合は、この制御装置をそれぞれ個別的にパワー・ダウンされる2つの赤外線トランシーバに接続することができる。

【0028】更に、このアーキテクチャは、IRトランシーバのゲインを制御するために用いることができる信号を発生する制御ロジック20を備えている。このゲイン制御信号は、送信電力、及び受信増幅器ゲインを制御するために、トランシーバ・パワー・ダウン信号、送信データ(TXD)信号、及び受信データ(RXD)信号と共に用いることができる。このゲイン制御信号は、送信データ(TXD)信号と多重化されるので、受信器ゲイン制御を使用しない場合は、IRトランスミッタの設計を簡単にすることができる。この制御装置は種々のデータ速度及び変調方式を取り扱うので、IRトランシーバを特定の速度及び変調に対して最適化させることは非常に困難である。二重チャンネル受信器が高速度及び低速度用に設計されている場合は、制御装置も低速度入力、及び高速度入力を有する。低速度入力は非同期IRDAモデムに接続され、高速度入力はNRZIモデム、ASKモデム、及びFMモデムに接続される。CDモデム入力は高速度入力及び低速度入力の両方に接続される。

【0029】ハードウェア：本発明の制御装置を構築するための設計時間及びコストを低減させるために標準製品を使用することができる。例えば、前述のアーキテクチャにおいて、UART_A及びUART_Bは、米国

10

マサチューセッツ州バーリントンのVLSIテクノロジー社から入手可能な16550 FSB(機能システム・ブロック)を用いて実施できる。SACCの場合は、ザイログ社により最初に設計され、VLSIテクノロジー社から入手可能なZ85C30 FSBの修正バージョンを使用してもよい。これら3つのFSBは、電力管理ロジック14、エコー打ち消しロジック16、ゲイン制御ロジック20、ホスト・インタフェース・ロジック及びIRモデムと共に、0.8ミクロンCMOS標準セル設計に集積化できる。

【0030】Z85C30 FSBは、前述のアーキテクチャに従うように修正されてもよい。SACCは一般に高いボーレートで用いられるので、バス・スルーブットは最もクリティカルである。従って、受信及び送信の両方に対するFIFOの深さは図3に示すように16に増加され、かつDMAサポートが付加される。更に、データを転送している間のホスト介入を減少させるために、いくつかの自動機構、例えばに2つの開始フラグの自動挿入を付加する(図4参照)。SDLCフォーマットがIRDAに対して採用され、従ってIRDAに対する拡張として、高速同期通信もSDLCフレームを用いる。このフレームは、図4に示すように、2つの開始フラグ(OF)、オプションの8ビット・アドレス・フィールド(ADDR)、これに続くデータ・フィールド(DATA)、16ビットCCITT CRC、及び最後に1つの終了フラグ(CF)を有する。従って、Z85C30 FCBハードウェアは2つの開始フラグを自動的に挿入するように構築され、同期通信がエネーブルされるときは、自動的にフレームの終りに16ビットのCCITT CRC、及びその後1つの終了フラグを付加するように修正される。更に、データとフラグを区別し、かついくつかのAC(交流)成分がフレームに含まれるように、0ビット挿入が行われる。クレーム中のAC成分は、NRZIモデムを用いる場合に、デジタルPLLが着信信号にロックできるようにする。

【0031】またZ85C30 FSBを使用する場合、そのボーレート発生器(BRG)カウンタを送信バイト・カウンタとして使用できるように修正される。BRGのためのPCLK源の選択は、書込みレジスタ14(WR14)のビット1がセットされている場合に、書込み信号をPCLK入力ではなくクロック入力として書込みレジスタ7(WR7)か、又は送信FIFOに取り込むように変更される。このモードが選択されると、BRGカウンタは、WR7又は送信FIFOに対する各書込み信号に応答して、減分される。BRGのゼロ・カウンタ出力は、このモードのときに書込みレジスタ10(WR10)の送信打ち切りビット(ビット3)の非同期クリアを活動化するために用いられる。従って、本実施例では、送信しようとするバイト数をBRGにロードして、送信打ち切りビットをソフトウェアによりセット

することができる。正しいバイト数が送信FIFOに書き込まれると、BRGのゼロ・カウンタ出力がセットされ、送信打ち切りビットがリセットされるので、フレームはフラグで終了する。正しいバイト数が送られる前にフレームを終わらせるのであれば、送信打ち切りビットはセットされたままとなり、フレームは打ち切りシーケンスで終了する。

【0032】外部の雑ロジックを簡単にするために、本実施例では、SACCの組込みディジタルPLL、並びにSACC及びUARTの並列化器を可能な限り利用する。従って、IRモデム・アレイは搬送波周波数にロックするように設計されていず、単に最小限のディジタル・フィルタで信号を変調又は復調するだけである。適当なIRモデムの例は、前述の米国特許出願に開示されている。図2の波形が示すように、符号化器及び変調器は、NRZ波形を対応する変調信号に変換する。復号器及び復調器は変調された信号をNRZフォーマットに変換する。その際、UART_A又はSACCは、スタート/ストップ・ビット又はフラグを付加又は削除する役割を果たす。

【0033】IRDA規格に対応するため、及び非同期直列COMポート・アプリケーションとの100パーセントの互換性を得るために、UART_Aとして16550 UARTが選択される。UART_Aのアドレスは完全にプログラム可能であるので、どのような標準COMポート・アドレスにもマップすることができる。SACC、UART_B、制御ロジック20及び電力管理ロジック14用のアドレスは、16個の連続するバイト位置に予約されている。別の8バイト・アドレス範囲がチップの構成用に予約されている。

【0034】前述のように、本発明のIR通信制御装置は、サポートしようとしているアプリケーションに従って、UART_Bを用いて又はUART_Bなしに実施することができる。この制御装置を用いて実行されるプログラムが標準UARTを用いるIR通信用に使われているときは、UART_Bを省略することができる。しかし、COMポートを赤外線通信ポートとして用いることを意識することなく書かれたアプリケーション・プログラムを制御装置がサポートしなければならないときは、UART_Bを付加しなければならない。UART_Bが付加され、かつUART_A及びUART_Bの信号の折り返しがエネーブルされるときは、UART_Aの直列データ入力が入力出力に接続され、かつUART_Aの直列データ出力がUART_Bの直列入力に接続される。モデム信号はヌルモデムケーブルとして接続される。例えば、UART_A及びUART_Bの-RTSピンはそれぞれUART_B及びUART_Aの-CTSピンに接続され、UART_A及びUART_Bの-DTRはそれぞれUART_B及びUART_Aの-DSTに接続され、UART_Aの-D

CTはUART_BのOUT1に接続され、またUART_Aの-RIはUART_Bの-OUT2に接続される。折り返しがエネーブルされないときは、UART_Aの直列入力又は直列出力データ・ラインをIRDAモデム又はASKモデムに接続することができる。-RTS又は-DTRのようなモデム制御信号は、折り返しがエネーブルされていないといまいと、UART_AとUART_Bとの間に接続されたままである。UART_Aのボー・クロックはUART_Bのクロック入力に接続されるので、UART_A及びUART_Bは常に同一速度で動作することができる。しかし、UART_Bのボー除数ラッチが常に1の値を有するようにしておくことが重要である。ボー除数ラッチ・アクセス・ビットであるビット7を除き、UART_Bのライン制御レジスタ(LCR)は、UART_AのLCRが更新されるときは、UCRT_Aと同一値を有するように設計され、従ってUART_AとUART_Bとの間の通信を同一の構成により実行できる。標準の16550 UARTを用いるUART_Bは、一般にDMAサポートなしに用いられるが、16550は組込みDMAサポート・ロジックを有している。システム・バス・スループットはボトルネックの一つであるので、UART_A用のDMAサポート・ロジックがこの実施例で使用される。UART_A及びUART_Bの折り返し中は高いバス・スループットが要求されるため、折り返しは低ボーレートのときにのみ実行され、従ってこの特定の実施ではDMAはUART_Bでサポートされないと考えられる。

【0035】送信データ・ライン(TXD)はIRDAモデム、ASKモデム、NRZIモデム、FMモデム及びCDモデムの出力に接続され、また受信データ・ライン(RXD)はIRDAモデム、ASKモデム、NRZIモデム及びFMモデムの入力に接続されている。CDモデムの出力はSACCの-DCDラインに接続されている。SACCの送信データ・ラインはSACCの-RTSが活動状態である期間でのみ活動化にされるので、アイドル又は受信状態の間トランスミッタを休止させることができる。制御ロジックは、実行しているプロトコルに応じて、一時に1以上のモデムをエネーブルすることができる。IRDAモデム及びFMモデムは送信及び受信の両方でオーバーサンプリング・クロックを用いる。更に、NRZIモデムもオーバーサンプリング・クロックを用いるが、絶対に必要というわけではない。ASKモデムはシステム・クロックを用いて固定周波数の搬送波を発生し、また受信器もシステム・クロックを用いてディジタル帯域通過フィルタを動作させる。CDモデムは組込みボーレート発生器を用いる。

【0036】本発明のIR制御装置は、埋め込み赤外線通信制御装置のようないくつかインテリジェント処理ユニットと共に、任意の計算システム及び家電用制御装置

に用いることができ、またローカル無線通信を提供するために、デスクトップ・コンピュータのアダプタ・カード及びプリンタのような周辺装置にも用いることができる。

【0037】本発明を好ましい実施の形態に関連して詳細に説明したが、本発明の範囲及び精神から逸脱することなく、その形式及び詳細において変更が可能なことは、当業者には明らかであろう。

【0038】まとめとして、本発明の構成に関して以下の項を開始する。

【0039】(1) 内部転送信号用のバスを備えた通信トランシーバに用いる制御装置であって、それぞれの符号化フォーマットで同期信号及び非同期信号を選択的に変復調する複数のモデム手段と、前記バスと前記非同期信号を変復調する少なくとも一つのモデム手段との間に接続されて、それらの間で非同期信号を転送する第1の汎用非同期送受信器(UART)と、前記バスと前記複数のモデム手段との間に接続されて、前記バスと前記非同期信号を変復調するモデム手段との間で非同期信号を転送し、かつ前記バスと前記同期信号を変復調するモデム手段との間で同期信号を転送する同期/非同期通信コントローラ(SACC)手段と、を含むマルチプロトコル通信制御装置。

【0040】(2) 前記複数のモデム手段は、IRDAモデム及びNRZIモデムを含む前記(1)に記載の制御装置。

【0041】(3) 前記複数のモデム手段はIRDAモデム及びFMモデムを含む前記(1)に記載の制御装置。

【0042】(4) 前記複数のモデム手段は、ASKモデムを含む前記(1)に記載の制御装置。

【0043】(5) 前記UART、前記SACC及び前記複数のモデム手段に供給される電力を選択的に管理する手段を含む前記(1)に記載の制御装置。

【0044】(6) 前記複数のモデム手段に接続され、変調された信号を送受信する入出力手段を含む前記(1)に記載の制御装置。

【0045】(7) 前記入出力手段により送受信される変調された信号のゲインを制御する制御手段を含む前記(6)に記載の制御装置。

【0046】(8) 前記変調された信号が送信された後所定の時間にわたって受信を遮断するエコー打ち消し手段を含む前記(6)に記載の制御装置。

【0047】(9) 信号の完全性を調べるチェック手段と、前記UARTと前記バスとの間に接続されて、前記チェック手段への入力信号を捕捉して送信する第2のUARTとを含む前記(1)に記載の制御装置。

【0048】(10) 前記SACCに接続されて、複数の同期データ速度を与えるクロック手段を含む前記(1)に記載の制御装置。

【0049】(11) 前記複数のモデム手段は、IRDAモデム、NRZIモデム、FMモデム、ASKモデム、及びコンシューマ・デバイス(CD)モデムを含み、前記IRDAモデム、前記ASKモデム、及びCDモデムと、前記NRZIモデム及び前記FMモデムのいずれか一方とが同時にエネーブル可能である、前記(1)に記載の制御装置。

【図面の簡単な説明】

【図1】本発明に従ってIRトランシーバに組込まれる制御装置のアーキテクチャを示すブロック図である。

【図2】本発明で用いられる種々の変調プロトコル信号の関係を示すタイミング図である。

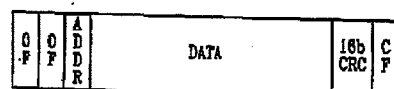
【図3】本発明のアーキテクチャに用いることができる同期/非同期通信制御装置(SACC)におけるいくつかの構成要素のブロック図である。

【図4】同期信号内の種々の要素の関係を示す図である。

【符号の説明】

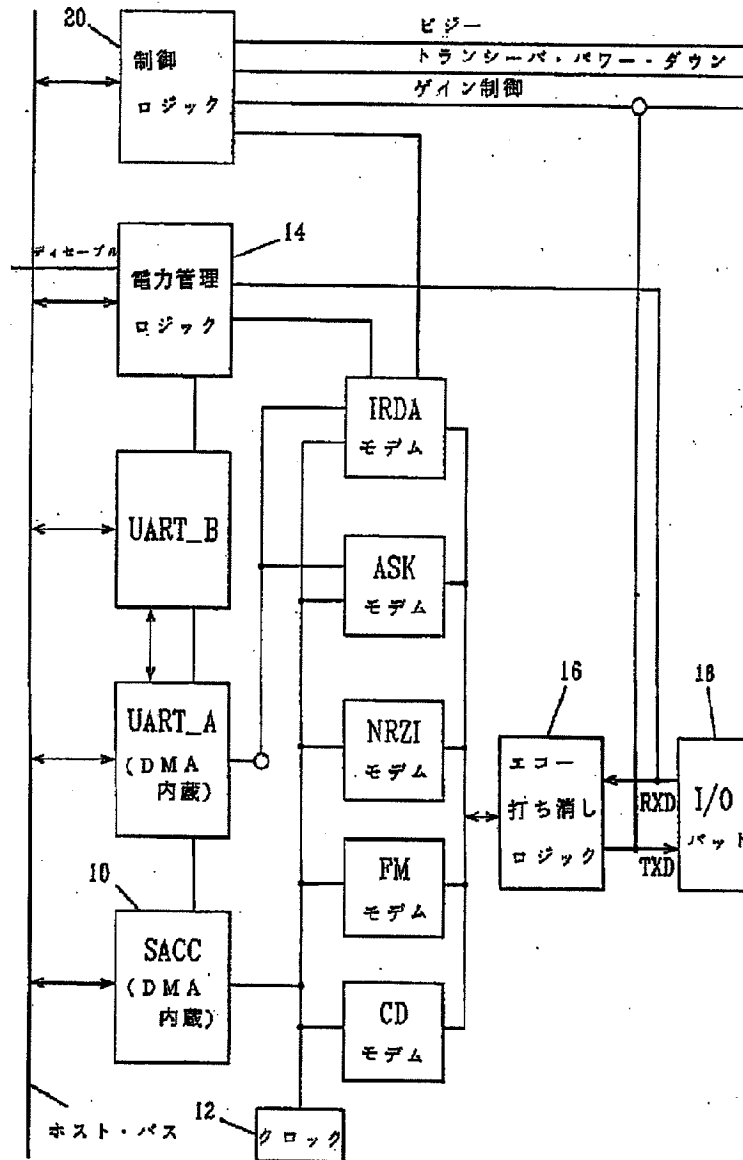
- 10 制御装置
- 14 電力管理ロジック
- 12 システム・クロック発生源
- 16 エコー打ち消しロジック
- 20 制御ロジック

【図4】

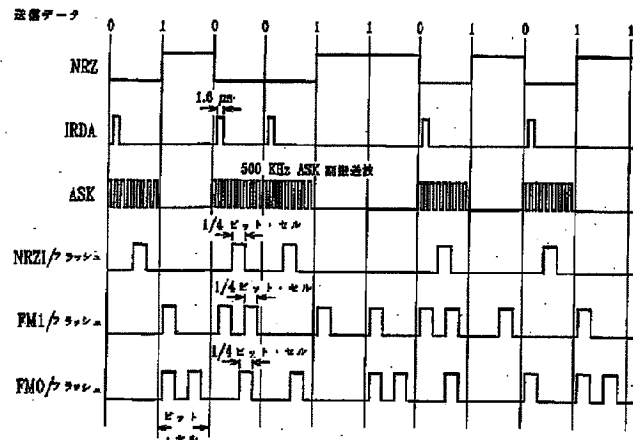


OF: 開始フラグ , 01111110
 ADDR: 6ビット・アドレスフィールド(オプション)
 DATA: データフィールド
 16b CRC: CCITT 16ビットCRC
 CF: 終了フラグ , 01111110

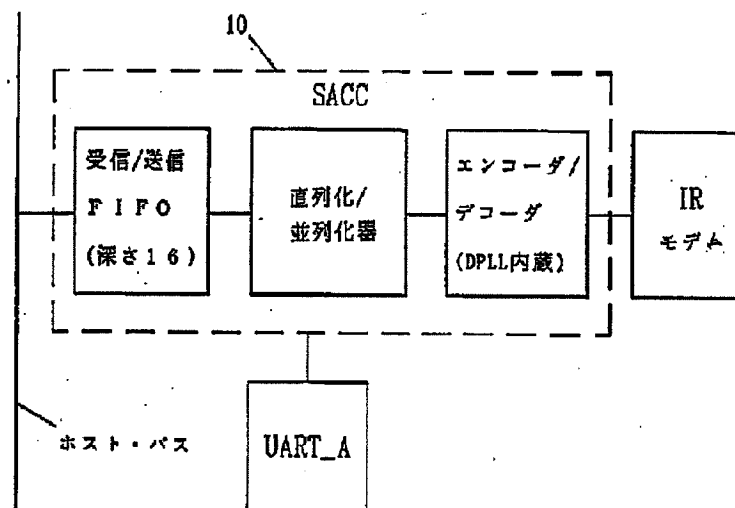
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 B 10/22

H 0 4 L 27/00

H 0 4 L 27/00

Z

(72)発明者 ペルヴェンバ・スワミナス・バラスプラマ
ニアンアメリカ合衆国10514、ニューヨーク州、
チャップックア、ヒルトップ・ドライブ

20

(72)発明者 ネイザン・ジュンサップ・リー

アメリカ合衆国10956、ニューヨーク州、
ニューシティ、シェアー・ドライブ 19

(11)

特開平8-195785

(72)発明者 スコット・ダグラス・レクシュ
アメリカ合衆国10025、ニューヨーク州、
ニューヨーク、ナンバー6 ビー、ウェス
ト・エンド・アベニュー 840

